

INSULATING GATE TYPE SEMICONDUCTOR DEVICE

Patent Number: JP10233506

Publication date: 1998-09-02

Inventor(s): OTAKA NAOKI

Applicant(s):: TOSHIBA CORP

Requested Patent: JP10233506

Application Number: JP19970037623 19970221

Priority Number(s):

IPC Classification: H01L29/78 ; H01L21/8234 ; H01L27/088 ; H03K17/08

EC Classification:

Equivalents:

Abstract

PROBLEM TO BE SOLVED: To preferentially reduce the cost of an insulating gate type semiconductor device by using a MOSFET of the same single channel type as that of a transistor for output as the transistor of a voltage comparator circuit which is a part of a protective circuit.

SOLUTION: A semiconductor device is provided with a transistor 10 for output comprising an NMOSFET and an NMOSFET transistor 20 which is a part of a voltage comparator circuit. Since only the NMOSFET is used as the transistor of the voltage comparator circuit in this semiconductor device, the manufacturing process of a PMOSFET can be reduced when the transistor 10 comprises an N-channel transistor. That is, when only the NMOSFET is used as the transistor of the voltage comparator circuit and the analog operations are utilized for the voltage comparing operations of the voltage comparator circuit, the cost of the semiconductor device can be reduced by suppressing the increase of the number of manufacturing processes, although the accuracy of the device becomes rough.

Therefore, this semiconductor device is suitable in such a case that the cost must be reduced even at the sacrifice of the accuracy of the voltage comparator circuit.

Data supplied from the esp@cenet database - I2

(Concise explanations in relevancy)

Japanese laid-open patent publication No. H10-233506

Laid-open on September 2, 1998

Title of the invention : INSULATING GATE TYPE SEMICONDUCTOR DEVICE

Japanese laid-open patent publication No. 10-233506 discloses conventional semiconductor devices, which includes both a vertical MOS field effect transistor in a semiconductor substrate and a depletion type lateral MOS field effect transistor in a well region in the semiconductor substrate.

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-233506

(43)公開日 平成10年(1998)9月2日

(51)Int.Cl.⁶

H 01 L 29/78
21/8234
27/088
H 03 K 17/08

識別記号

F I

H 01 L 29/78 6 5 7 F
H 03 K 17/08 C
H 01 L 27/08 1 0 2 A
29/78 6 5 6 D

審査請求 未請求 請求項の数4 OL (全6頁)

(21)出願番号

特願平9-37623

(22)出願日

平成9年(1997)2月21日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 尾高 直樹

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

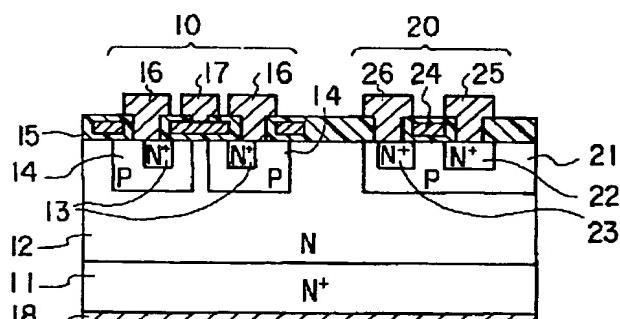
(74)代理人 弁理士 鈴江 武彦 (外6名)

(54)【発明の名称】 絶縁ゲート型半導体装置

(57)【要約】

【課題】パワーMOS FETにおいて、出力用トランジスタの異常時に出力用トランジスタのゲートを制御する保護回路の電圧比較回路を出力用トランジスタと同一チップ上に搭載する場合に、低コスト化を優先して実現する。

【解決手段】Nチャネル型の出力用トランジスタ10と、出力用トランジスタと同一チップ上に搭載され、出力用トランジスタの異常時に出力用トランジスタのゲートを制御する保護回路とを具備するMOS型半導体装置において、保護回路の一部である電圧比較回路のトランジスタとしてNMOS FET 20のみが使用されている。



【特許請求の範囲】

【請求項1】 単一チャネル型の出力用トランジスタと、前記出力用トランジスタと同一チップ上に搭載され、前記出力用トランジスタの異常時に出力用トランジスタのゲートを制御する保護回路とを具備し、前記保護回路の一部である電圧比較回路のトランジスタとして前記出力用トランジスタと同じ単一チャネル型のMOS FETが使用されていることを特徴とする絶縁ゲート型半導体装置。

【請求項2】 請求項1記載の絶縁ゲート型半導体装置において、

前記出力用トランジスタはNチャネル型のトランジスタであり、

前記単一チャネル型のMOS FETは、ディプレッション型NMOSトランジスタおよびエンハンスマント型NMOSトランジスタの両方を含むことを特徴とする絶縁ゲート型半導体装置。

【請求項3】 請求項1記載の絶縁ゲート型半導体装置において、

前記出力用トランジスタはNチャネル型のトランジスタであり、

前記単一チャネル型のMOS FETは、エンハンスマント型NMOSトランジスタであることを特徴とする絶縁ゲート型半導体装置。

【請求項4】 請求項1乃至3のいずれか1項に記載の絶縁ゲート型半導体装置は、出力用トランジスタの過電流時あるいは過電圧時あるいは過熱時に出力用トランジスタの導通を遮断する保護回路を備えたパワーMOS FETあるいはパワービジオトランジスタであることを特徴とする絶縁ゲート型半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、絶縁ゲート型半導体装置(MOS型半導体装置)に係り、特に出力用トランジスタの異常(過電流、過電圧、あるいは過熱など)時に出力用トランジスタのゲートを制御する保護回路を出力用トランジスタと同一チップ上に搭載したMOS型半導体装置に関するもので、インテリジェント型のパワーMOSモジュール、インテリジェント型のパワービジオトランジスタ(絶縁ゲート型バイポーラトランジスタ)などに使用されるものである。

【0002】

【従来の技術】一般に、高電力のスイッチ出力を必要とするパワー半導体装置であって、例えばマルチセル構造を有する電圧駆動型のパワートランジスタからなる主スイッチ素子およびその制御用の半導体素子群が同一半導体チップ上に集積化されたインテリジェント型の高耐圧パワー半導体装置においては過電流制限回路が設けられている。

【0003】この過電流制限回路は、出力スイッチ素子

の過電流を検出して過電流検出信号を出力し、この過電流検出信号をスイッチ素子用の駆動回路に伝達することにより、出力スイッチ素子をオフ状態に制御し、その破壊を防止する(出力スイッチ素子を過電流から保護する)。

【0004】上記したような出力用トランジスタの過電流時あるいは過電圧時あるいは過熱時にMOS型出力用トランジスタのゲートを制御するために設けられる保護回路は、出力用トランジスタの動作状態を検出して得た電圧と基準電圧とを電圧比較回路で比較することによって出力用トランジスタの異常時を検出した時に出力用トランジスタの導通を遮断するように制御している。

【0005】図4は、パワーMOS FET(絶縁ゲート型電界効果トランジスタ)の過電流制限回路の従来の一例を示す。図4において、10はマルチソース構造(第1のソース10a、第2のソース10b)を有するDMOS(二重拡散型)パワーFETであり、そのドレンは電源端子40に接続され、第1のソース(電流出力端子)10aはICの電流出力端子(外部負荷接続端子)41に接続されている。42は電流出力端子41に接続されている負荷回路である。

【0006】43は内蔵する電流源43aからパワーFETのゲート容量Cに対する充電電流の供給出力をパワーFET駆動制御信号に応じてオン/オフ制御することによりパワーFETのゲート電位を制御するためのパワーFET駆動回路である。

【0007】44はパワーFETの第2のソース(電流検出用端子)10bに接続され、上記電流検出用端子10bに流れる電流を電圧信号に変換して出力する抵抗素子である。

【0008】45は上記抵抗素子44からの出力が入力し、この入力電圧を所定の基準電圧Vrefと比較し、入力電圧が基準電圧より大きくなった時(前記電流検出用端子10bに流れる検出用電流の過電流時)に過電流に応じた電流を出力するリニア型の電圧比較回路である。

【0009】46は上記電圧比較回路45の出力電流がベース電流として与えられる出力用のNPNトランジスタであり、そのコレクタ・エミッタ間が前記パワーFET駆動回路43の出力ノードと接地ノードとの間に接続されている。

【0010】上記電圧比較回路45および出力用トランジスタ46は、前記パワーFETの過電流時を検知し、過電流に応じて前記パワーFET駆動回路43の出力電流を引き抜いて接地電位に流すことによりパワーFET10のゲート電位を制御する電圧比較型電流制御回路47を構成している。

【0011】次に、従来の電圧比較回路45の構成および動作を説明する。この電圧比較回路45は、それぞれのベースに対応して入力電圧Vinおよび所定の基準電圧Vrefが与えられ、差動対をなすようにエミッタ相互が

直接に接続されたP N P型の第1のトランジスタQ 4 1および第2のトランジスタQ 4 2と、上記差動対をなすトランジスタQ 4 1、Q 4 2のエミッタ共通接続ノードと第1の電源電位（高電位側の電源電位V_{cc}）との間に接続された定電流源4 8と、前記第1のトランジスタQ 4 1のコレクタと第2の電源電位（低電位側の電源電位、接地電位V_{ss}）との間にコレクタ・エミッタ間が接続され、コレクタ・ベース相互が接続されたN P N型の第3のトランジスタQ 4 3と、コレクタが前記第2のトランジスタQ 4 2のコレクタに接続され、エミッタが接地電位V_{ss}に接続され、ベースが前記第3のトランジスタQ 4 3のベースに接続されたN P N型の第4のトランジスタQ 4 4とからなる。上記第3のトランジスタQ 4 3と第4のトランジスタQ 4 4とはカレントミラー回路を構成している。

【0012】上記電圧比較回路4 5の動作は、入力電圧V_{in}が基準電圧V_{ref}と等しい時には差動対をなすトランジスタQ 4 1、Q 4 2に等しい電流が流れるので、電圧比較回路4 5からの出力電流は生じない。これに対して、入力電圧V_{in}が基準電圧V_{ref}より大きい時には、差動対をなすトランジスタQ 4 1、Q 4 2の電流が対応して減少、増大する。この時、カレントミラー回路のトランジスタQ 4 3、Q 4 4が減少し、トランジスタQ 4 2に流れる電流とトランジスタQ 4 4に流れる電流との差電流（過電流に応じた電流）が出力する。

【0013】次に、上記構成の過電流制限回路の動作を説明する。通常動作時には、電源端子4 0の印加電圧が例えば12 V、パワーF E T駆動回路4 3のパルス信号入力が0 Vと例えば5 Vとの間で変化してそのパルス信号出力が0 Vと例えば20 Vとの間で変化する。この際、パワーF E T 1 0のゲートに20 Vが印加されている時には、パワーF E Tの電流出力端子1 0 aに1 Aが流れ、その1/1000程度（1 mA程度）の電流がパワーF E T 1 0の電流検出用端子1 0 bに流れる。

【0014】この状態では、入力電圧V_{in}が基準電圧V_{ref}と等しく、電圧比較回路4 5における差動対をなすトランジスタQ 4 1、Q 4 2に等しい電流が流れるので、電圧比較回路4 5からの出力電流は生じない。

【0015】そして、負荷短絡時などに負荷インピーダンスが低下し、パワーF E T 1 0の出力電流および検出用電流が増加し、検出用電流が基準電流を越えた時（過電流時）、抵抗素子2 1からの入力電圧V_{in}が基準電圧V_{ref}より僅かに大きくなる方向に入力電圧V_{in}と基準電圧V_{ref}との間に微小な電位差が生じる。これにより、電圧比較回路4 5の出力電流がベース電流として与えられる出力用のN P Nトランジスタ4 6がパワーF E T駆動回路4 3の出力電流を引き抜いてパワーF E T 1 0をオフ状態にするように帰還制御することにより、パワーF E T 1 0を保護する。

【0016】従来、前記したような電圧比較回路4 5と

して、高い精度を得るためにバイポーラ構造あるいはC M O S構造で実現しているが、出力用トランジスタの製造工程と比べて製造工程数が増加する。

【0017】即ち、前記出力用トランジスタは、C M O S構造ではなく、片チャネル（通常はNチャネル）のM O S構造で実現される場合が殆んどであるが、このような片チャネル構造の出力用トランジスタと前記したようなバイポーラ構造あるいはC M O S構造の電圧比較回路とを絶縁分離用のP型半導体層を形成したり、C M O S構造内にP+半導体層あるいはN+半導体層を形なすための工程数が増加する。

【0018】即ち、図5は保護機能を有する従来のパワーM O S F E Tの断面構造の一例の一部を示している。図5において、5 0はN M O S構造の出力用トランジスタ、5 1は出力用トランジスタのドレイン電極、5 2は電圧比較回路用の一部であるN P N型のバイポーラトランジスタであり、N型半導体領域5 3、N+半導体領域5 4のほかに、N P Nトランジスタ5 2のベース領域形成用のP型半導体領域5 5、N M O S構造の出力用トランジスタ5 0とバイポーラ5 2とを絶縁分離するためのP型半導体層5 6が必要である。

【0019】図6は保護機能を有する従来のパワーM O S F E Tの断面構造の他の例の一部を示している。図6において、6 0はN M O S構造の出力用トランジスタ、6 1は出力用トランジスタのドレイン電極、6 2は電圧比較回路用の一部であるC M O Sトランジスタであり、N型半導体領域6 3、N+半導体領域6 4のほかに、P M O Sトランジスタ形成用のP+ドレイン・ソース領域6 5、N M O S構造の出力用トランジスタ6 0とC M O Sトランジスタ6 2とを絶縁分離するためのP型半導体層6 6が必要である。

【0020】図7は、図6中のC M O Sトランジスタ6 2を使用した電圧比較回路の一例を示している。図7において、Q 1～Q 5はP M O Sトランジスタ、Q 6～Q 8はN M O Sトランジスタ、Rは抵抗素子、V_{cc}は電源電圧、V_iは入力電圧、V_{ref}は基準電圧、V_{out}は出力電圧である。

【0021】
【発明が解決しようとする課題】上記したように出力用トランジスタの異常時に出力用トランジスタのゲートを制御する保護回路の電圧比較回路をC M O S構造あるいはB i-C M O S構造で実現して出力用トランジスタと同一チップ上に搭載した従来のM O S型半導体装置は、製造工程数が増加するという問題があった。

【0022】本発明は上記の問題点を解決すべくなされたもので、出力用トランジスタの異常時に出力用トランジスタのゲートを制御する保護回路の電圧比較回路を出力用トランジスタと同一チップ上に搭載する場合に、低コスト化を優先して実現し得る絶縁ゲート型半導体装置を提供することを目的とする。

【0023】

【課題を解決するための手段】本発明の絶縁ゲート型半導体装置は、單一チャネル型の出力用トランジスタと、前記出力用トランジスタと同一チップ上に搭載され、前記出力用トランジスタの異常時に出力用トランジスタのゲートを制御する保護回路とを具備し、前記保護回路の一部である電圧比較回路のトランジスタとして前記出力用トランジスタと同じ單一チャネル型のMOS FETが使用されていることを特徴とする。

【0024】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。図1は、本発明のMOS型半導体装置の第1の実施の形態に係る保護機能を有するパワーMOS FETの断面構造の一例の一部を示している。

【0025】図1において、10は二重拡散型のNMOS FETからなる出力用トランジスタであり、11は出力用トランジスタのN+ドレイン領域、12は出力用トランジスタのN型ドレイン領域、13は出力用トランジスタのN+ソース領域、14は出力用トランジスタのチャネル形成領域、15は半導体基板表面のゲート絶縁膜、16は出力用トランジスタのソース電極、17は出力用トランジスタのゲート電極、18は出力用トランジスタのドレイン電極である。

【0026】20は電圧比較回路用の一部であるNMOSトランジスタであり、21はNMOSトランジスタ形成用のPウエル、22はNMOSトランジスタのN+ドレイン領域、23はNMOSトランジスタのN+ソース領域、24はNMOSトランジスタのゲート電極、25はNMOSトランジスタのドレイン電極、26はNMOSトランジスタのソース電極である。

【0027】図2は、図1中のNMOSトランジスタ20を使用した電圧比較回路の一例を示している。図2において、Q9～Q11はディプレッショントランジスタ、Q12～Q18はエンハンスマント型のNMOSトランジスタ、Rは抵抗素子、Rは抵抗素子、Vccは電源電圧、Viは入力電圧、Vrefは基準電圧、Voutは出力電圧である。

【0028】図2において、電流源回路21は、Vccノードと接地ノードとの間に、抵抗素子Rおよびドレイン・ゲートが接続されたエンハンスマント型のNMOSトランジスタQ16が直列に接続されている。

【0029】差動増幅回路22は、ソース同士が共通接続されて差動対をなす比較電圧(検出対象電圧)入力用のエンハンスマント型のNMOSトランジスタQ13および基準電圧入力用のエンハンスマント型のNMOSトランジスタQ14と、上記共通接続されたノードと接地ノードとの間に接続された電流源用のNMOSトランジスタQ17と、Vccノードと前記差動対をなす2つのトランジスタQ13、Q14の各ドレインとの間にそれぞ

れ負荷素子として挿入され、それぞれドレイン・ゲートが接続されたディプレッショントランジスタQ9、Q10からなる。

【0030】そして、前記基準電圧入力用のNMOSトランジスタQ14のドレインはソースフォロア回路23によりバッファ增幅され、このソースフォロア回路23の出力はソース接地回路24により増幅されて出力する。

【0031】前記ソースフォロア回路23は、Vccノードと接地ノードとの間に、バッファ增幅用のエンハンスマント型のNMOSトランジスタQ12および電流源用のエンハンスマント型のNMOSトランジスタQ18が直列に接続されている。

【0032】前記ソース接地回路24は、Vccノードと接地ノードとの間に、負荷素子用のドレイン・ゲートが接続されたディプレッショントランジスタQ11および増幅用のエンハンスマント型のNMOSトランジスタQ15が直列に接続されている。

【0033】なお、前記電流源回路21のNMOSトランジスタQ16と前記差動増幅回路22の電流源用のNMOSトランジスタQ17と前記ソースフォロア回路23の電流源用のNMOSトランジスタQ18とは、ゲート相互が接続されてカレントミラー回路を形成している。

【0034】ここで、少なくとも前記差動対をなす2つのトランジスタQ13、Q14のいずれか一方のゲート・ソース間電圧VGSは、ゲート閾値電圧Vth以上である必要がある。

【0035】上記構成のMOS型半導体装置によれば、電圧比較回路のトランジスタとしてNMOS FETのみを使用しているので、出力用トランジスタがNチャネル型のトランジスタである場合にはPMOS FETの製造工程を削減することが可能になる。

【0036】即ち、電圧比較回路のトランジスタとしてNMOS FETのみを使用し、NMOS FETのアナログ動作を利用して電圧比較動作を行わせれば、精度は粗くなるが、製造工程数の増加を抑制し、コストダウンを図ることが可能になるので、出力用トランジスタ保護回路の一部である電圧比較回路の精度を犠牲にしても低コスト化を優先したい場合に好適である。

【0037】ところで、ディプレッショントランジスタは製造工程が多く、しかも、チャネル領域に不純物を注入するために専用のマスクを必要とするので、コストが増大するという問題を有している。近時、半導体記憶装置の高集積化が進に従い、チップコストの低減が重要な課題となっており、ディプレッショントランジスタを使用せずに回路を構成することが望まれており、このような要望に沿う電圧比較回路を以下に説明する。

【0038】図3は、図1中の電圧比較回路用のNMOSトランジスタとしてエンハンスマント型トランジスタ

のみを使用した例を示している。図3において、Q19～Q22はエンハンスマント型のNMOSトランジスタ、R1～R5は抵抗素子、Vccは電源電圧、Viは入力電圧、Vrefは基準電圧、Voutは出力電圧である。

【0039】即ち、差動増幅回路31は、ソース同士が共通接続されて差動対をなす比較電圧（検出対象電圧）入力用のエンハンスマント型のNMOSトランジスタQ20および基準電圧入力用のエンハンスマント型のNMOSトランジスタQ21と、Vccノードと前記差動対をなすトランジスタQ20、Q21の各ドレインとの間にそれぞれ接続された抵抗素子R1、R2と、前記トランジスタQ20、Q21の共通接続されたノードと接地ノードとの間に接続された抵抗素子R3からなる。

【0040】そして、前記基準電圧入力用のNMOSトランジスタQ21のドレインはソースフォロア回路32によりバッファ增幅され、このソースフォロア回路32の出力はソース接地回路33により増幅されて前記出力ノードから出力する。

【0041】前記ソースフォロア回路32は、Vccノードと接地ノードとの間に、バッファ增幅用のエンハンスマント型のNMOSトランジスタQ19および抵抗素子R4が直列に接続されている。

【0042】前記ソース接地回路33は、Vccノードと接地ノードとの間に、負荷用の抵抗素子R5および増幅用のエンハンスマント型のNMOSトランジスタQ22が直列に接続されている。

【0043】ここで、少なくとも前記差動対をなす2つのトランジスタQ20、Q21のいずれか一方のゲート・ソース間電圧VGSは、ゲート閾値電圧Vth以上である必要がある。

【0044】なお、本発明は、上記各例のパワーMOSFETに限らず、例えばマルチエミッタ構造を有するNチャネル型のIGBTを出力用トランジスタとして用いたインテリジェント型のパワーIGBTにも適用することができる。

【0045】

【発明の効果】上述したように本発明のMOS型半導体

装置によれば、出力用トランジスタの異常時に出力用トランジスタのゲートを制御する保護回路の電圧比較回路を出力用トランジスタと同一チップ上に搭載する場合に、低コスト化を優先して実現することができる。

【図面の簡単な説明】

【図1】 本発明のMOS型半導体装置の第1の実施の形態に係るパワーMOSFETの構造の一例の一部を示す断面図。

【図2】 図1中のNMOSトランジスタを使用した電圧比較回路の一例を示す回路図。

【図3】 図1中のNMOSトランジスタを使用した電圧比較回路の他の例を示す回路図。

【図4】 パワーMOSFETの過電流制限回路の従来の一例を示す回路図。

【図5】 保護機能を有する従来のパワーMOSFETの構造の一例の一部を示す断面図。

【図6】 保護機能を有する従来のパワーMOSFETの構造の他の例の一部を示す断面図。

【図7】 図5中のCMOSトランジスタを使用した電圧比較回路の一例を示す回路図。

【符号の説明】

10…NMOS構造の出力用トランジスタ、

11…出力用トランジスタのN+ドレイン領域、

12…出力用トランジスタのN型ドレイン領域、

13…出力用トランジスタのN+ソース領域、

14…出力用トランジスタのチャネル形成領域、

15…半導体基板表面のゲート絶縁膜、

16…出力用トランジスタのソース電極、

17…出力用トランジスタのゲート電極、

30 18…出力用トランジスタのドレイン電極、

20…NMOSトランジスタ、

21…NMOSトランジスタ形成用のP型半導体領域、

22…NMOSトランジスタのN+ドレイン領域、

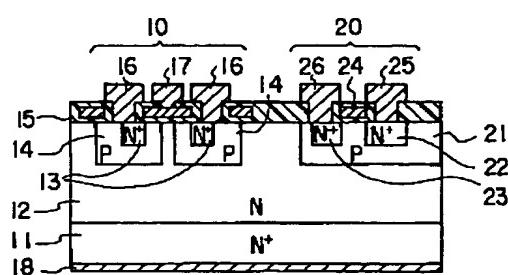
23…NMOSトランジスタのN+ソース領域、

24…NMOSトランジスタのゲート電極、

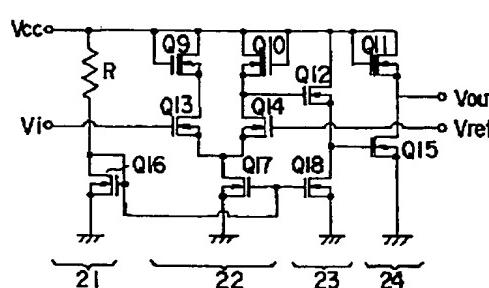
25…NMOSトランジスタのドレイン電極、

26…NMOSトランジスタのソース電極。

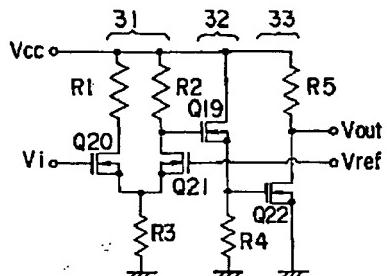
【図1】



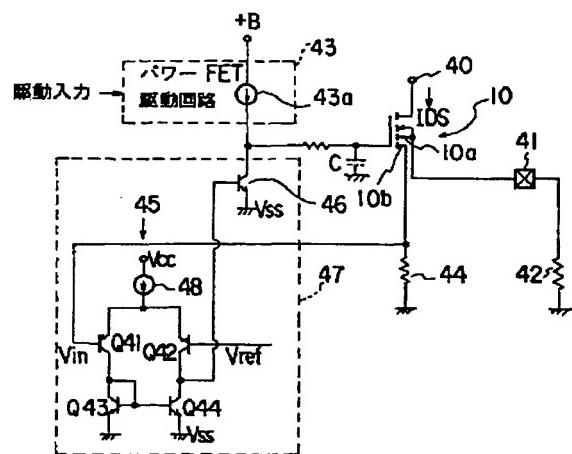
【図2】



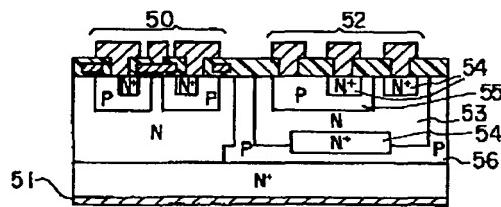
【図3】



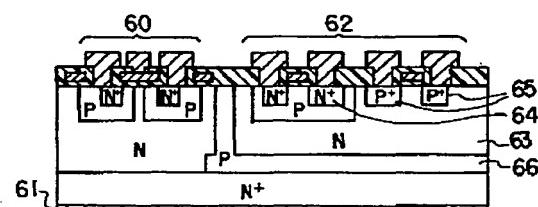
【図4】



【図5】



【図6】



【図7】

